

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-017649

(43)Date of publication of application : 22.01.1999

(51)Int.CI.
 H04J 13/00
 H04B 7/08
 // H04B 7/26

(21)Application number : 09-168602

(71)Applicant : KOKUSAI ELECTRIC CO LTD

(22)Date of filing : 25.06.1997

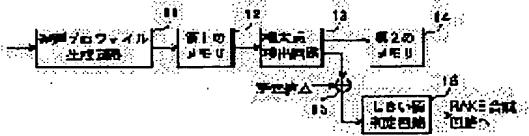
(72)Inventor : ABE TATSUYA

(54) RAKE SYNTHESIS PATH DETECTION SYSTEM AND RAKE SYNTHESIS PATH DETECTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To supply optimum threshold value to a fluctuating delay profile at all times and to detect a RAKE synthesis path by detecting the time-based positions and power of plural maximum points from a delay profile output and turning the detection position of the maximum point, provided with a power larger than the value for which a prescribed value is added to the minimum value of the power to be an effective path.

SOLUTION: A maximum point detection circuit 13 reads the delay profile stored in a first memory 12, detects the maximum point of the largest power, writes the detection position and power value of the maximum point to a second memory 14, and performs a similar processing up to an (n)-th largest maximum point. An adder 15 adds the power value of the (n)-th largest maximum point detected in the maximum point detection circuit 13 and the prescribed value Δ , set beforehand and performs output as the threshold. A threshold value judgement circuit 16 compares the threshold value inputted from the adder 15 with the power value of the maximum point stored in the second memory 14 and outputs the detected position of the maximum point which exceeds the threshold.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-17649

(43)公開日 平成11年(1999)1月22日

(51)Int.Cl.⁶
H 04 J 13/00
H 04 B 7/08
// H 04 B 7/26

識別記号

F I
H 04 J 13/00
H 04 B 7/08
7/26

A
D
C

審査請求 未請求 請求項の数4 OL (全6頁)

(21)出願番号 特願平9-168602

(22)出願日 平成9年(1997)6月25日

(71)出願人 000001122
国際電気株式会社
東京都中野区東中野三丁目14番20号

(72)発明者 阿部 達也
東京都中野区東中野三丁目14番20号 国際
電気株式会社内

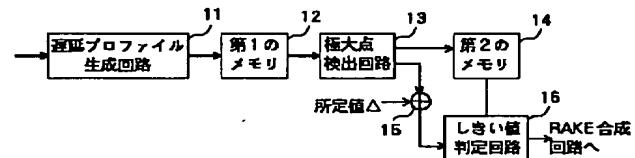
(74)代理人 弁理士 石戸 元 (外3名)

(54)【発明の名称】 RAKE合成バス検出方式およびRAKE合成バス検出回路

(57)【要約】

【課題】 変動する遅延プロファイルに対して常に最適なしきい値を与えてRAKE合成バスを検出するRAKE合成バス検出回路を得る。

【解決手段】 逆拡散された受信信号から遅延プロファイルを生成する遅延プロファイル生成回路11と、生成された遅延プロファイルに基づいて、電力の大きさの順に総数でn個の極大点を検出し、各々の検出位置と電力値を出力する極大点検出回路13と、極大点検出回路13から出力された1番目からn番目に大きい極大点の検出位置と電力値を記憶する第2のメモリ14と、極大点検出回路13から出力されたn番目に大きい極大点の電力値と所定値△とを加算して結果をしきい値として出力する加算器15と、加算器15から出力されたしきい値と、第2のメモリ14に記憶された極大点の電力値とを比較して、しきい値を超えた極大点の検出位置を出力するしきい値判定回路16とを備えてなる。



【特許請求の範囲】

【請求項1】逆拡散された受信信号から得られる遅延プロファイル出力の中からn個の極大点の時間的位置と電力を検出し、該電力の最小値に所定値 Δ を加算した値より大きい電力を有する極大点の検出位置をRAKE合成に供する有効パスとするよう構成してなるRAKE合成パス検出方式。

【請求項2】逆拡散された受信信号から得られる遅延プロファイル出力の中からn個の極大点の時間的位置と電力を検出し、該電力の最小値に所定値aを乗算した値より大きい電力を有する極大点の検出位置をRAKE合成に供する有効パスとするよう構成してなるRAKE合成パス検出方式。

【請求項3】逆拡散された受信信号から遅延プロファイルを生成する遅延プロファイル生成回路と、前記遅延プロファイルを記憶する第1のメモリと、前記第1のメモリに記憶されている遅延プロファイルを読み出し、電力の大きさの順に総数でn個の極大点を検出し、各々の検出位置と電力値を出力する極大点検出回路と、

前記極大点検出回路から出力された1番目からn番目に大きい極大点の検出位置と電力値を記憶する第2のメモリと、

前記極大点検出回路から出力されたn番目に大きい極大点の電力値と所定値 Δ とを加算して結果をしきい値として出力する加算器と、

前記加算器から出力されたしきい値と、前記第2のメモリに記憶された極大点の電力値とを比較して、しきい値を超えた極大点の検出位置を出力するしきい値判定回路とを備えてなるRAKE合成パス検出回路。

【請求項4】逆拡散された受信信号から遅延プロファイルを生成する遅延プロファイル生成回路と、前記遅延プロファイルを記憶する第3のメモリと、

前記第3のメモリに記憶されている遅延プロファイルを読み出し、電力の大きさの順に総数でn個の極大点を検出し、各々の検出位置と電力値を出力する極大点検出回路と、

前記極大点検出回路から出力された1番目からn番目に大きい極大点の検出位置と電力値を記憶する第4のメモリと、

前記極大点検出回路から出力されたn番目に大きい極大点の電力値と所定値aとを乗算して結果をしきい値として出力する乗算器と、

前記乗算器から出力されたしきい値と、前記第4のメモリに記憶された極大点の電力値とを比較して、しきい値を超えた極大点の検出位置を出力するしきい値判定回路とを備えてなるRAKE合成パス検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は符号分割多元接続

(CDMA : C o d e D i v i s i o n M u l t i p l e A c c e s s) 通信のRAKE合成パスを検出する方式および回路に関するものである。

【0002】

【従来の技術】受信機が受信する信号は、送信機から受信機に至るまでに通路長の異なるいくつもの経路を通過して到達するため、それらが合成されることで選択性フェージングが発生し、その結果、受信レベルは一定にならずに変動し、信号と雑音の電力比率S N R (S i g n a l t o N o i s e R a t i o) を減少させたり誤り率を増加させたりするなど、信号品質を劣化させる。

【0003】このフェージング対策として、スペースダイバーシチや周波数ダイバーシチ等のダイバーシチ技術が利用されているが、直接スペクトル拡散通信においてはマルチパスを利用したパスダイバーシチ (RAKE 合成) が有効である。

【0004】RAKE合成を効果的に行うためには、RAKE合成後のS N R が合成前よりも向上するようにRAKE合成パスを選択する必要がある。通常、RAKE合成パスを選択するときは、受信信号の受信電力を到来遅延時間毎に求めた遅延プロファイルと、受信機で求められたしきい値とを比較して、遅延プロファイルの中でしきい値を超える受信電力を検出する。そして、しきい値を超えた受信電力の到来遅延時間がマルチパス波の到来遅延時間であるとし、その到来遅延時間を受けて同期検波部は到来遅延時間に対応した逆拡散後信号をマルチパス波毎に取り出し、それぞれ同期検波した後、RAKE合成する。

【0005】このとき、しきい値を小さくするにつれ合成パス数が多くなるので、RAKE合成後のビット誤り率特性 (B E R) は向上するが、小さくし過ぎると雑音成分のみの受信信号も合成することとなるので逆に特性が劣化してしまう。従って、時々刻々と変化する遅延プロファイルに対して常に最適なしきい値を与えてRAKE合成する必要がある。

【0006】従来のRAKE合成パス検出回路について、図5を参照しつつ説明する。図5は、従来のRAKE合成パス検出回路を示すブロック図である。このRAKE合成パス検出回路は、逆拡散された受信信号から遅延プロファイルを生成する遅延プロファイル生成回路1と、遅延プロファイル生成回路1の出力側に接続されたメモリ2と、メモリ2の出力側にそれぞれ接続された最小値検出回路3および最大値検出回路4と、これら最小値検出回路3と最大値検出回路4の出力側に接続された案分回路5と、メモリ2の出力側に接続されるとともに案分回路5の出力を受けるしきい値判定回路6とを備え構成されている。

【0007】以下、各部を具体的に説明する。遅延プロファイル生成回路1は、サンプリング点毎に逆拡散された相関データの入力を受けて遅延プロファイルを生成

し、メモリ2に出力する。メモリ2は、遅延プロファイル生成回路1から入力された遅延プロファイルを記憶する。最小値検出回路3は、メモリ2に記憶されている遅延プロファイルを読み出し、最も電力の小さいサンプリング点の電力値を検出する。最大値検出回路4は、メモリ2に記憶されている遅延プロファイルを読み出し、最も電力の大きいサンプリング点の電力値を検出する。案分回路5は、最小値検出回路3で検出された電力最小値と、最大値検出回路4で検出された電力最大値を案分した結果をしきい値として出力するものである。しきい値判定回路6は、案分回路5から出力されたしきい値と、メモリ2に記憶された遅延プロファイルとを比較してしきい値を超える遅延プロファイルの極大点を検出し、その極大点の検出位置を出力するものである。

【0008】次に、従来のRAKE合成パス検出回路の動作について説明する。まず、受信された信号は、サンプリング点毎に逆拡散され、遅延プロファイル生成回路1に入力される。遅延プロファイル生成回路1では、受信信号の位相回転を除去して希望波の受信レベルによる遅延プロファイルを生成するため、サンプリング点毎に逆拡散後信号の電力を検出し、これを1シンボル時間内の全てのサンプリング点で行うことで、現在受信したシンボルの瞬時遅延プロファイルが生成される。ただし、瞬時遅延プロファイルは熱雑音の影響を受けているから、過去に受信したシンボルから生成した遅延プロファイルと平均化することで熱雑音を抑圧し、遅延プロファイルのSNRを向上させる。

【0009】回路の簡略化を考慮すると、メモリ2に記憶されている過去に求められた遅延プロファイルを読み出し、現在受信したシンボルから求めた瞬時遅延プロファイルとで加重平均して再びメモリ2に書き込むのが一般的である。ここで、加重平均による平均化時間を長くすると熱雑音の抑圧効果により遅延プロファイルの推定精度が向上するが、フェージングによる遅延プロファイルの変動に追従できなくなるため、適切な平均化時間を与える必要がある。

【0010】加重平均後の遅延プロファイルは最小値検出回路3に読み出され、最も電力の小さいサンプリング点の電力値が検出されて、検出された電力最小値は案分回路5に出力される。同様に、加重平均後の遅延プロファイルは最大値検出回路4に読み出され、最も電力の大きいサンプリング点の電力値が検出されて、検出された電力最大値は案分回路5に出力される。

【0011】その後、案分回路5によって、最小値検出回路3で検出された電力最小値と、最大値検出回路4で検出された電力最大値が案分されてRAKE合成パスを選択するためのしきい値が求められる。ここで、電力最大値と電力最小値はA:Bで案分されて、次式によりしきい値が求められる。

【0012】しきい値 = $(A / (A + B)) \cdot (\text{電力最}$

小値) + (B / (A + B)) \cdot (\text{電力最大値})

【0013】ただし、AおよびBは予め設定された値であり、しきい値が熱雑音や干渉により生じるピーク値よりも大きくなるような値が設定される。

【0014】最後に、しきい値判定回路6は、メモリ2に記憶されている遅延プロファイルを読み出しながら案分回路5で求められたしきい値と比較し、しきい値を超えて且つ極大点となるサンプリング点を検出する。極大点は、遅延プロファイル中の連続した3つのサンプリング点の受信電力を比較して、中央のサンプリング点の受信電力が大きいときにそのサンプリング点が極大点であるとして簡単に検出できる。図6(a)に示されるように、しきい値を超えた極大点はRAKE合成パスとして判定され、このときの極大点の検出位置がメモリ2の読み出しあドレスとして出力される。

【0015】図示しない外部のRAKE合成回路は上述した検出位置を受けて検出位置に対応した逆拡散後信号をマルチパス波毎に取り出し、それぞれ同期検波した後、RAKE合成する。

20 【0016】

【発明が解決しようとする課題】しかしながら、上述した従来のRAKE合成パス検出回路では、しきい値を求めるのに遅延プロファイルの電力最小値や電力最大値を用いているため、上述したようにフェージングによる遅延プロファイルの変動に追従できるような加重平均を行った場合、平均化不十分で電力最小値や電力最大値が大きく落ち込む確率が高く、その結果、図6(b)のようにしきい値が下がって、雑音、干渉で発生した極大点を合成してしまうことがあった。また、熱雑音、干渉により発生した極大点を検出しないようにAをBに比較して大きく設定すると、逆にマルチパス波を検出しにくくなるため、時々刻々と変化する遅延プロファイルに対して最適なしきい値を与えていくくなるという問題があった。

【0017】本発明は、上述した従来の問題点を解決するために成されたものであり、変動する遅延プロファイルに対して常に最適なしきい値を与えてRAKE合成パスを検出するRAKE合成パス検出回路を提供することを目的としている。

【0018】

【課題を解決するための手段】本発明に係るRAKE合成パス検出方式は、逆拡散された受信信号から得られる遅延プロファイル出力の中からn個の極大点の時間的位置と電力を検出し、該電力の最小値に所定値Δを加算した値より大きい電力を有する極大点の検出位置をRAKE合成に供する有効パスとするよう構成したものである。

【0019】また、本発明に係るRAKE合成パス検出方式は、逆拡散された受信信号から得られる遅延プロファイル出力の中からn個の極大点の時間的位置と電力を検出し、該電力の最小値に所定値aを乗算した値より大

きい電力を有する極大点の検出位置をR AKE合成に供する有効パスとするよう構成したものである。

【0020】さらに、本発明に係るR AKE合成パス検出回路は、図1に示されるように、逆拡散された受信信号から遅延プロファイルを生成する遅延プロファイル生成回路11と、前記遅延プロファイルを記憶する第1のメモリ12と、前記第1のメモリ12に記憶されている遅延プロファイルを読み出し、電力の大きさの順に総数でn個の極大点を検出し、各々の検出位置と電力値を出力する極大点検出回路13と、前記極大点検出回路13から出力された1番目からn番目に大きい極大点の検出位置と電力値を記憶する第2のメモリ14と、前記極大点検出回路13から出力されたn番目に大きい極大点の電力値と所定値 Δ とを加算して結果をしきい値として出力する加算器15と、前記加算器15から出力されたしきい値と、前記第2のメモリ14に記憶された極大点の電力値とを比較して、しきい値を超えた極大点の検出位置を出力するしきい値判定回路16とを備えてなるものである。

【0021】また、本発明に係るR AKE合成パス検出回路は、図3に示されるように、逆拡散された受信信号から遅延プロファイルを生成する遅延プロファイル生成回路11と、前記遅延プロファイルを記憶する第3のメモリ22と、前記第3のメモリ22に記憶されている遅延プロファイルを読み出し、電力の大きさの順に総数でn個の極大点を検出し、各々の検出位置と電力値を出力する極大点検出回路13と、前記極大点検出回路13から出力された1番目からn番目に大きい極大点の検出位置と電力値を記憶する第4のメモリ24と、前記極大点検出回路13から出力されたn番目に大きい極大点の電力値と所定値 a とを乗算して結果をしきい値として出力する乗算器25と、前記乗算器25から出力されたしきい値と、前記第4のメモリ24に記憶された極大点の電力値とを比較して、しきい値を超えた極大点の検出位置を出力するしきい値判定回路16とを備えてなるものである。

【0022】このような構成によれば、変動する遅延プロファイルに対して常に最適なしきい値を与えてR AKE合成パスを検出することができる。

【0023】

【発明の実施の形態】以下、この発明の実施の形態を図面を参照しながら説明する。

実施の形態1、図1は、実施の形態1に係るR AKE合成パス検出回路を示すブロック図である。このR AKE合成パス検出回路は、遅延プロファイル生成回路11と、遅延プロファイル生成回路11の出力側に接続された第1のメモリ12と、第1のメモリ12の出力側に接続された極大点検出回路13と、極大点検出回路13の出力側にそれぞれ接続された第2のメモリ14および加算器15と、これら第2のメモリ14および加算器15

の出力側に接続されたしきい値判定回路16とを備えている。

【0024】以下、各部について具体的に説明する。遅延プロファイル生成回路11は、サンプリング点毎に逆拡散された相関データの入力を受けて遅延プロファイルを生成し、第1のメモリ12に出力する。第1のメモリ12は、遅延プロファイル生成回路11から入力された遅延プロファイルを記憶する。極大点検出回路13は、第1のメモリ12に記憶されている遅延プロファイルを読み出し、最も電力の大きい極大点を検出して、その極大点の検出位置と電力値を第2のメモリ14に書き込み、これをn番目に大きい極大点についてまで同様な処理を行う。

【0025】第2のメモリ14は、極大点検出回路13で検出された1番目からn番目に大きい極大点の検出位置と電力値を記憶する。加算器15は、極大点検出回路13で検出されたn番目に大きい極大点の電力値と予め設定されている所定値(定数) Δ とを加算して、しきい値として出力する。しきい値判定回路16は、加算器15から入力されたしきい値と、第2のメモリ14に記憶された極大点の電力値とを比較して、しきい値を超えた極大点の検出位置を出力する。

【0026】次に、実施の形態1におけるR AKE合成パス検出回路の動作について説明する。まず、受信された信号はサンプリング点毎に逆拡散され、遅延プロファイル生成回路11に入力される。遅延プロファイル生成回路11では、受信信号の位相回転を除去して希望波の受信レベルによる遅延プロファイルを生成するため、サンプリング点毎に逆拡散後信号の電力を検出し、これ30を1シンボル時間内の全てのサンプリング点で行うこととで、現在受信したシンボルの瞬時遅延プロファイルを生成する。

【0027】ただし、瞬時遅延プロファイルは熱雑音の影響を受けているから、過去に受信したシンボルから生成した遅延プロファイルと平均化することで熱雑音を抑圧し、遅延プロファイルのSNRを向上させる。回路の簡略化を考慮すると、メモリ12に記憶されている過去に求められた遅延プロファイルを読み出し、現在受信したシンボルから求めた瞬時遅延プロファイルと加重平均40して再びメモリ12に書き込むのが一般的である。ここで、加重平均による平均化時間を長くすると、熱雑音の抑圧効果により遅延プロファイルの推定精度が向上するが、フェージングによる遅延プロファイルの変動に追従できなくなるため、適切な平均化時間を与える必要がある。

【0028】加重平均後の遅延プロファイルは極大点検出回路13に読み出され、最も電力の大きい極大点を検出して、その極大点の検出位置と電力値を第2のメモリ14に書き込み、これをn番目に大きい極大点について50まで同様な処理を行う。

【0029】さて、DS-CDMAの実伝搬環境下での伝送特性の報告によると、検出可能なマルチパス数は4パス程度まであると報告されている。従って、遅延プロファイルの中で5番目以降に大きな極大点はマルチパス波を受信したことにより発生したのではなく、熱雑音や干渉により発生した極大点と考えることができる。従って、5番目以降の大きな極大点の電力値は、常に最適なしきい値に近い値を示し、この電力値を利用してしきい値を求めれば、どのような環境下でも最適なしきい値に近いしきい値求めることができる。

【0030】n番目に大きい極大点の検出が終了すると、第2のメモリ14に記憶されたn番目に大きい極大点の電力値は加算器15で予め設定された所定値(定数)Δと加算され、しきい値としてしきい値判定回路16に出力される。

【0031】最後に、しきい値判定回路16は、第2のメモリ14に記憶されている1番目からn-1番目に大きい極大点の電力値としきい値とを比較し、図2のようにしきい値を超えた極大点をRAKE合成パスとして判定し、このときの極大点の検出位置を第2のメモリ14から取り出して外部に出力する。図示しない外部のRAKE合成回路は上述の検出位置を受けて検出位置に対応した逆拡散後信号をマルチパス波毎に取り出し、それぞれ同期検波した後RAKE合成する。

【0032】実施の形態2、図3は、実施の形態2に係るRAKE合成パス検出回路を示すブロック図である。このRAKE合成パス検出回路は、遅延プロファイル生成回路11と、遅延プロファイル生成回路11の出力側に接続された第3のメモリ22と、第3のメモリ22の出力側に接続された極大点検出回路13と、極大点検出回路13の出力側にそれぞれ接続された第4のメモリ24および乗算器25と、これら第4のメモリ24および乗算器25の出力側に接続されたしきい値判定回路16などを備えている。

【0033】以上の構成において、図1に示された符号と同一符号は図1に示された対象と同一または相当物を表しており、ここでの説明を省略する。実施の形態2は、実施の形態1に示したRAKE合成パス検出回路における加算器15を乗算器25に代えたものである。

【0034】実施の形態2においては、乗算器25は第4のメモリ24に記憶されたn番目に大きい極大点の電力値と、予め設定された所定値(係数)aとを乗算し、結果をしきい値としてしきい値判定回路16に出力す

る。しきい値判定回路16は、第4のメモリ24に記憶されている1番目からn-1番目に大きい極大点の電力値としきい値とを比較し、図4のようにしきい値を超えた極大点をRAKE合成パスとして判定し、この時の極大点の検出位置を第4のメモリ24から取り出して外部に出力する。図示しない外部のRAKE合成回路は上述の検出位置を受けて検出位置に対応した逆拡散後信号をマルチパス波毎に取り出し、それぞれ同期検波した後、RAKE合成する。

10 【0035】

【発明の効果】以上の説明より明らかのように、本発明に係るRAKE合成パス検出回路は、逆拡散された受信信号から得られる遅延プロファイル出力の中からn個の極大点の時間的位置と電力を検出し、該電力の最小値に所定値を加算または乗算した値より大きい電力を有する極大点の検出位置をRAKE合成に供する有効パスとするよう構成したので、従来のRAKE合成パス検出回路よりも精度良くしきい値を求める能够となるため、RAKE合成が効果的に行われることなり、ビット誤り率を低減することができるという効果を奏する。

【図面の簡単な説明】

【図1】実施の形態1を示すRAKE合成パス検出回路のブロック図である。

【図2】実施の形態1におけるRAKE合成パス検出回路のしきい値と遅延プロファイルを示す図である。

【図3】実施の形態2を示すRAKE合成パス検出回路のブロック図である。

【図4】実施の形態2におけるRAKE合成パス検出回路のしきい値と遅延プロファイルを示す図である。

20 【図5】従来のRAKE合成パス検出回路のブロック図である。

【図6】従来のRAKE合成パス検出回路のしきい値と遅延プロファイルを示す図である。

【符号の説明】

11 遅延プロファイル生成回路

12 第1のメモリ

13 極大点検出回路

14 第2のメモリ

15 加算器

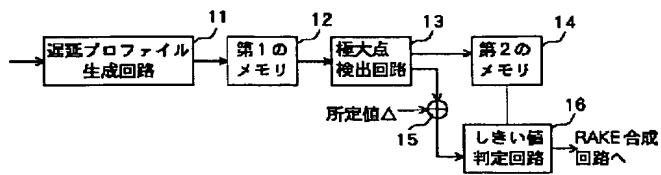
30 40 16 しきい値判定回路

22 第3のメモリ

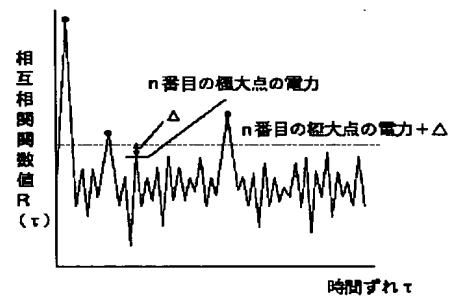
24 第4のメモリ

25 乗算器

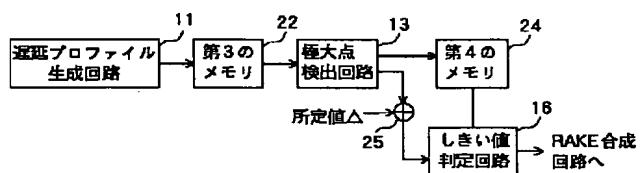
【図1】



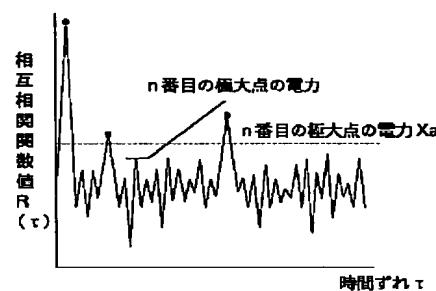
【図2】



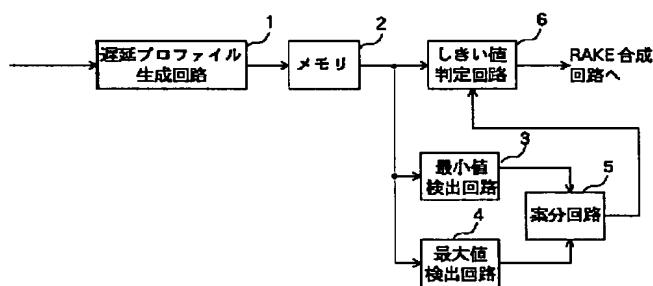
【図3】



【図4】



【図5】



【図6】

